

JP2000252756

Publication Title:

BIAS CIRCUIT AND OPERATIONAL AMPLIFIER USING SAME

Abstract:

PROBLEM TO BE SOLVED: To eliminate the source voltage and threshold voltage dependency of the output stage in an operational amplifier by inverting and amplifying the output of a source follower circuit and regarding the output part of an inverting amplifying circuit, outputted to the gate of a constant current source as a load of the source follower circuit, as a bias output.

SOLUTION: The inverting amplifier circuit which inverts and amplifies the output of the source follower circuit and outputs it to the gate of the constant current source as the load of the source follower circuit is included and the output part of the inverting amplifier circuit is regarded as the bias output. In the bias circuit 32, a resistance 16 (R1) and an NMOS 15 (MN 12) are a means for stabilizing the gate voltage of the MP 13; and the outputs of the MP 11 and MN 11 are received and its inversion and amplification output is inputted to the gate of the MP 13. Here, R1 as a constituent element of the inverting amplifier circuit is replaceable with a constant current source and the MN 12 is replaceable with an NPN transistor, etc. Then a bias voltage is applied from the output terminal 18 of the inverting amplifier circuit to the gate of the MP 3 of an operational amplifier output part 31.

Data supplied from the esp@cenet database - <http://ep.espacenet.com>

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-252756
(P2000-252756A)

(43)公開日 平成12年9月14日(2000.9.14)

(51)Int.Cl. ⁷	識別記号	F I	テームコード [*] (参考)
H 0 3 F	1/30	H 0 3 F	B 5 J 0 6 6
	3/345		B 5 J 0 9 0
	3/45		Z 5 J 0 9 1

審査請求 未請求 請求項の数4 O L (全 5 頁)

(21)出願番号 特願平11-48034

(22)出願日 平成11年2月25日(1999.2.25)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 菊池 伸

東京都大田区下丸子3丁目30番2号キヤノ
ン株式会社内

(72)発明者 篠原 真人

東京都大田区下丸子3丁目30番2号キヤノ
ン株式会社内

(74)代理人 100090538

弁理士 西山 恵三 (外2名)

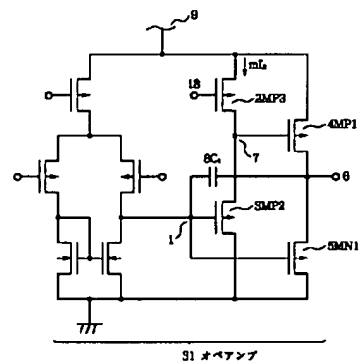
最終頁に続く

(54)【発明の名称】 バイアス回路及びそれを用いたオペアンプ

(57)【要約】

【課題】 オペアンプの出力段の電流の電源電圧、しき
い値電圧依存をなくすことを課題とする。

【解決手段】 カレントミラー回路と、カレントミラー
回路に定電流を供給する定電流源と、カレントミラー回
路を負荷する第1のソース接地回路と、カレントミラー
回路のゲート部を入力として、第1のソース接地回路の
入力部に出力を行う第1のソースフォロワ回路と、第1
のソース接地回路の出力を反転増幅し、前記第1のソー
スフォロワ回路の負荷である定電流源のゲートに出力す
る反転増幅回路とを有し、反転増幅回路の出力部をバイ
アス出力とすることを特徴とするバイアス回路を提供す
る。



【特許請求の範囲】

【請求項1】 カレントミラー回路と、
前記カレントミラー回路に定電流を供給する定電流源と、
前記カレントミラー回路を負荷とする第1のソース接地回路と、
前記カレントミラー回路のゲート部を入力として、前記第1のソース接地回路の入力部に出力を行う第1のソースフォロワ回路と、
前記第1のソース接地回路の出力を反転増幅し、前記第1のソースフォロワ回路の負荷である定電流源のゲートに出力する反転増幅回路とを有し、
前記反転増幅回路の出力部をバイアス出力とすることを特徴とするバイアス回路。

【請求項2】 請求項1において、前記反転増幅回路はソース接地又はエミッタ接地であることを特徴とするバイアス回路。

【請求項3】 請求項1記載のバイアス回路と、
差動増幅出力を行う差動増幅手段と、
前記差動増幅手段からの出力信号の出力を行う出力手段とを有し、
前記バイアス回路のバイアス出力によって前記出力手段を駆動することを特徴とするオペアンプ。

【請求項4】 請求項2において、前記出力手段は第2のソースフォロワ回路と前記第2のソースフォロワ回路の出力を入力とする第2のソース接地回路を有し、前記第2のソースフォロワ回路の負荷である定電流源のゲートに前記バイアス回路からバイアス電圧が印加されていることを特徴とするオペアンプ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、バイアス回路及びそのバイアス回路を用いたオペアンプに関するものである。

【0002】

【従来の技術】従来CMOSを用いたオペアンプでは、駆動能力がとぼしい為、図2のような回路を出力段として用いている。図中100は、いわゆるシングレンドの

差動増幅回路であり、1が差動増幅回路の出力である。差動増幅回路の出力は、PMOS3(MP2)とPMOSの定電流現2(MP3)からなるソースフォロワに投入され、レベルシフト出力7を得る。さらに、レベルシフト出力7は、PMOS4(MP1)のソース接地へ、差動増幅回路の出力1はNMOS5(MN1)のソース接地へ投入され、出力を得る。C1は位相補償容量であり、出力端子6と差動増幅回路の出力部1の間に挿入されている。また、MP2を定電流駆動させるための電源回路として、PMOS51(MP51)、PMOS52(MP52)、及びNMOS53(NP53)の直列接続から成る回路が提案されている。このMP51からNM53に流れる電流をバイアス線54により、MP3に反映させる。9は電源電位(VDD)であり、10は接地電位(GND)である。そして、ソース接地回路MP1、MN1からの出力はドレイン出力のため、大きなダイナミックレンジと低い出力インピーダンスを得る。

【0003】

【発明が解決しようとする課題】しかしながら、上記従来例では、出力ソース接地回路MP1、MN1に流れる電流が電源電圧に大きく依存する、という不具合があった。その為、位相補償C1の効き方等の周波数特性が変化し、電源が低い場合、発振等の問題が生ずる。

【0004】以下、図2及び図3を用いて説明を行う。

【0005】図2中MP3に流れる電流は、MP5に流れる電流のカレントミラーであり、電源電圧依存がある。ここで仮に、MP3が電源電圧依存のない理想定電流源 I_x であると仮定すると図3のように模式的に表せる。ここで、図2中のMP1、MN1に流れる電流を見積る為の等価回路と同等であり、図3中 V_1 (52)は、MP2により成るソースホロワによるレベルシフト電圧であり、 I_x 及びMP2のしきい値に応じた一定電圧である。図3からわかるようにMP1、MN1に流れる電流は、各々のしきい値と電源に大きく依存し、その値を I_y とすると

【0006】

【外1】

$$\begin{cases} I_y = K_n (V_{N1} - V_{tn})^2 = K_p (V_{P1} - V_{tp})^2 & \cdots (1) \\ V_{N1} + V_{P1} + v_1 = V_{DD} & \cdots (2) \end{cases}$$

となり、(1)、(2)より、 I_y は電源に対しほぼ2乗で変化する事がわかり、プロセスばらつきによる V_{tn} 変動にも大きく影響されることがわかる。

【0007】ここで K_n 、 K_p はそれぞれMN1、MP1のトランジスタの特性によって決まる係数、 V_{N1} はMN1のゲート・ソース間電圧、 V_{P1} はMP1のゲート・ソース間電圧、 V_{tn} はしきい値電圧である。

【0008】

【課題を解決するための手段】上記課題を解決するための第1の手段として、カレントミラー回路と、カレントミラー回路に定電流を供給する定電流源と、カレントミラー回路を負荷とする第1のソース接地回路と、カレントミラー回路のゲート部を入力として、第1のソース接地回路の入力部に出力を行う第1のソースフォロワ回路と、第1のソース接地回路の出力を反転増幅し、前記第1のソースフォロワ回路と、第1のソースフォロワ回路

の出力を反転増幅し、前記第1のソースフォロワ回路の負荷である定電流源のゲートに出力する反転増幅回路とを有し、反転増幅回路の出力部をバイアス出力とすることを特徴とするバイアス回路を提供する。

【0009】また、第2の手段として、上記の第1の手段で説明したバイアス回路において、反転増幅回路はソース接地又はエミッタ接地であることを特徴とするバイアス回路を提供する。

【0010】また、第3の手段として、上記第1の手段で説明したバイアス回路と、差動増幅出力を行う差動増幅手段と、差動増幅手段からの出力信号の出力を行う出力手段とを有し、バイアス回路のバイアス出力によって前記出力手段を駆動することを特徴とするオペアンプを提供する。

【0011】また、第4の手段として上記第3の手段で説明したオペアンプにおいて、出力手段は第2のソースフォロワ回路と第2のソースフォロワ回路の出力を入力とする第2のソース接地回路を有し、第2のソースフォロワ回路の負荷である定電流源のゲートにバイアス回路からバイアス電圧が印加されていることを特徴とするオペアンプを提供する。

【0012】

【発明の実施の形態】（第1の実施例）本発明の実施形態を図1に示す。図中31は図2で説明した従来のオペアンプであり、32は本発明に係るバイアス回路である。

【0013】図1中のMN11、MP12、MP13は図2で説明したMN1、MP1、MP2、MP3と同一

$$n I_1 = K_n (V_1 - V_{th})^2 = K_p (V_{DD} - V_2 - V_{th})^2 \dots (3)$$

とあらわされ、電流 $n I_1$ は、定電流源17から流れる定電流 I_1 のカレントミラー電流なので、電流 $n I_1$ も定電流になるので、(3)式は以下のように定義することができる。

【0018】

【外2】

$$V_1 - V_{th} = a \left(= \sqrt{\frac{n I_1}{K_n}} = \text{定数} \right) \dots (4)$$

$$V_{DD} - V_2 - V_{th} = b \left(= \sqrt{\frac{n I_1}{K_p}} = \text{定数} \right) \dots (5)$$

【0019】ここで、 K'_n はMN11のトランジスタの特性によって決まる係数、 K'_p はMP11のトランジスタの特性によって決まる係数、 K'_p はMP11のトランジスタの特性によって決まる係数 V_{th} はしきい値

$$m I_2 = m K' p (V_{DD} - 3 V_{th} - b - a)^2 \dots (10)$$

とあらわされ、

MP2のゲート・ソース間電圧 V_{gs} (MP2)

$$V_{gs} \text{ (MP2)} = V_{DD} - 2 V_{th} - b - a \dots (11)$$

となる。

の結線関係である。バイアス回路2において、理想的な定電流源17より、流れた電流 I_1 はNMOS10 (MN10)、NMOS11 (MN11)のカレントミラーにより、ソース接地回路であるMN11、PMOS12 (MP11)も又、理想的な定電流動作を行っている。MP11のゲート電圧MN11 (MN10)のゲート電圧が各々 I_1 及び V_{DD} により一義的に決定する事より、PMOS13 (MP12)のソース・ゲート電圧が決定し、よってMP12、PMOS14 (MP13)に流れる電流も決定する。

【0014】抵抗16 (R_1)、NMOS15 (MN12)は、MP13のゲート電圧を安定させる手段であり、MP11、MN11の出力を受け、その反転増幅出力をMP13のゲートに入力させる。ここで、 R_1 、MN12は、反転増幅回路の構成要素であり、 R_1 は、定電流源に、MN12はNPNトランジスタ等に置換が可能である。さらには、反転増幅回路が1以上のゲインがあれば本発明の効果を満足できる。そして、反転増幅回路の出力部である出力端子18から、オペアンプ出力部31のMP3のゲートにバイアス電圧が印加される。

【0015】次に、数式を用いて説明する。

【0016】MN10、MN11のゲート電圧を V_1 、NN11、MP11の電流を $n I_1$ 、MP11のゲート電圧を V_2 、MP12、MP13の電流を I_2 、MP13のゲート電圧を V_4 、MN1のゲート電圧を V_{01} 、MP1のゲート電圧を V_{02} とする。

【0017】MP11、MN11を流れる電流 $n I_1$ は、

電圧である。

【0020】(4)(5)式より、 V_1 、 V_2 は

$$V_1 = a + V_{th} \dots (6)$$

$$V_2 = V_{DD} - V_{th} - b \dots (7)$$

とあらわされ、MP12のゲート・ソース間電圧は

$$V_2 - V_1 = V_{DD} - 2 V_{th} - b - a \dots (8)$$

とあらわされる。

【0021】(8)式の、MP12のゲート・ソース間電圧を用いることにより、MP13、MP12を流れる電流 I_2 は、

$$I_2 = K' p (V_{DD} - 3 V_{th} - b - a)^2 \dots (9)$$

となり(ここで、 $K' p$ はMP13のトランジスタの特性によって決まる係数)、又MP3とMP13はカレントミラー回路となっているので、MP3、MP2を流れる電流 $m I_2$ (ミラー比 m)は

【0022】又、MP1のゲート電位 V_{02} は

$$V_{02} = V_{01} + V_{gs} \text{ (MP2)} \dots (12)$$

となり、(11)(12)式より

$$V_{02} = V_{01} + V_{DD} - 2 V_{th} - b - a \dots (13)$$

となり、(11)式を変形すると

$$(V_{DD} - V_{02} - V_{th}) + (V_{01} - V_{th}) = a + b \cdots (14)$$

となる。

【0023】MP1, MN1で構成されるソース接地回路を流れる電流を I_x とすると、

$$I_x = K_p (V_{DD} - V_{02} - V_{th})^2 \cdots (16)$$

$$= K_n (V_{01} - V_{th})^2 \cdots (17)$$

となり、(15)(16)(17)式より電流 I_x は

【0024】

【外3】

$$I_x = \frac{\sqrt{K_p}}{\sqrt{K_p} + \sqrt{K_n}} (a + b)$$

となり、 V_{th} , V_{DD} に全く依存しない事がわかる。

【0025】ここで、オペアンプの出力部31の最終出力段であるMP1, MN1で構成されるソース接地回路に流れる電流は、電源電圧しきい値電圧による変化はないが、(10)式からも分かるように、MP2, MP3で構成されるソースフォロワ回路を流れる電流は、電源電圧、しきい値電圧により変動する。しかしながら、通常のオペアンプの出力部の場合、MP1, MN1で構成されるソース接地回路側にほとんどの電流が使用され、MP2, MP3で構成されるソースフォロワ回路に流れる電流はわずかであるため、全体の消費電流変化としては目立たない。又、位相補償の効果を左右するのは、MP1, MN1のトランジスタであり、オペアンプ出力部を安定化させる効果はきわめて大きい。

【0026】

【発明の効果】以上説明したように、本発明のバイアス回路を用いることにより、オペアンプ出力段の電流を電源電圧、しきい値に依存しない事が可能となる。又、バイアス回路内で使用する定電流源と同等の特性を実現できる。すなわち、例えば温特のない定電流源を使用すれば、温特もない出力段が形成できる。

【0027】これにより、全体消費電流の安定化及びオペアンプの位相補償の効果を安定化させることが可能となり、低出力インピーダンス、プロセスバラツキに対し安定かつ電源変動に強い高性能オペアンプの設計が可能となる。

【図面の簡単な説明】

【図1】本発明の実施形態を説明するための図である。

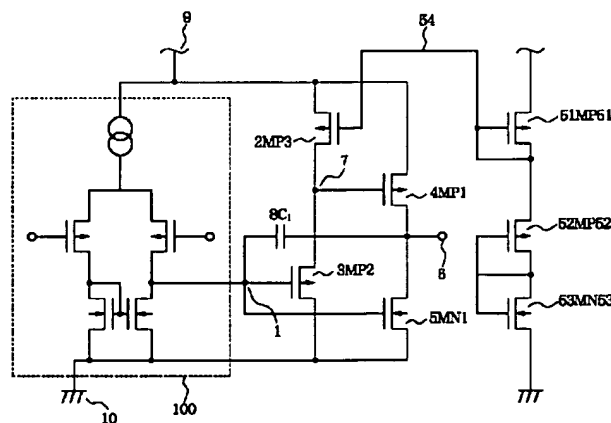
【図2】図9000従来のオペアンプ回路を説明するための図である。

【図3】図9001従来のオペアンプの一部分を説明する為の図である。

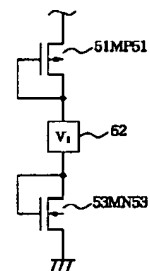
【符号の説明】

- 10 NMOS
- 11 NMOS
- 12 PMOS
- 13 PMOS
- 14 PMOS
- 15 NMOS
- 16 抵抗
- 17 定電流源

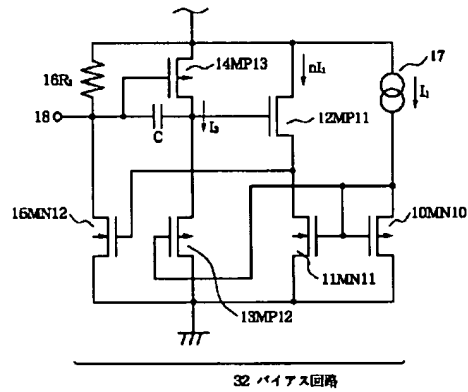
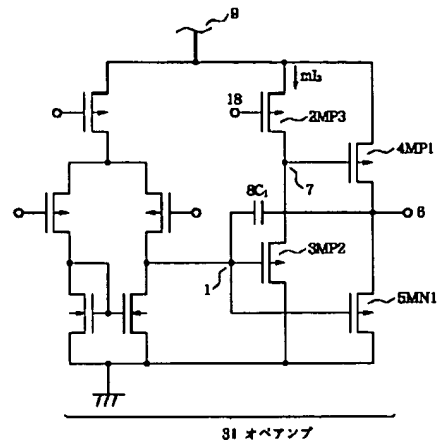
【図2】



【図3】



【図1】



フロントページの続き

F ターム(参考) 5J066 AA01 AA43 AA47 AA58 CA02
 CA05 CA26 CA54 CA82 FA05
 FA10 HA09 HA17 HA25 HA29
 KA02 KA05 KA09 KA12 KA47
 MA18 MA21 ND11 ND24 PD01
 TA01
 5J090 AA01 AA43 AA47 AA58 CA02
 CA05 CA26 CA54 CA82 CN04
 FA05 FA10 FN01 HA09 HA17
 HA25 HA29 KA02 KA05 KA09
 KA12 KA47 MA18 MA21 TA01
 5J091 AA01 AA43 AA47 AA58 CA02
 CA05 CA26 CA54 CA82 FA05
 FA10 HA09 HA17 HA25 HA29
 KA02 KA05 KA09 KA12 KA47
 MA18 MA21 TA01